

DETAIL

JAPANESE

LEGAL
STATUS

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232075

(43)Date of publication of application : 22. 08. 2000

(51)Int. Cl.

H01L 21/265

H01L 29/78

H01L 21/336

(21)Application number : 11-032784

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10. 02. 1999

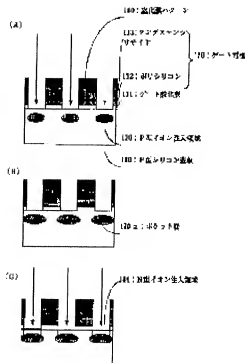
(72)Inventor : SHINOHARA HIROBUMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To permit formation of a MOS FET which reliably has a pocket layer, even when it becomes difficult to implant impurity ions from an oblique direction with respect to a silicon substrate, due to its miniaturization in steps of manufacturing a semiconductor device and in particular, a MOS FET having the pocket layer.

SOLUTION: A gate oxide film 111, a gate electrode 150 made of a polysilicon film 112 and a tungsten silicide film 113, and a nitride film pattern 140 are selectively formed on a P-type silicon substrate 110, and then the P-type silicon substrate is subjected to vertical implantation of P-type impurity ions with respect to the substrate. Then a P-type ion implanted region 120 formed by the P-type ion implantation is diffused and activated, to form a pocket layer 120a prior to the formation of other ion-implanted regions.



(11)特許公報番号
特許2000-232075
(P2000-232075A)

(42)公開日 平成12年8月29日(2000.8.29)

(51)Int. Cl.
H01L 21/025
21/73
21/265

(54)発明の名称 半導体装置の製造方法

(71)出願人 株式会社日立製作所
〒100-8356 東京都千代田区千代田 1-2-1(72)発明者 佐藤 清文
〒100-8356 東京都千代田区千代田 1-2-1

(73)出願日 平成11年2月10日(1999.2.10)

(74)代理人 株式会社日立製作所
〒100-8356 東京都千代田区千代田 1-2-1

(75)発明の名称 半導体装置の製造方法

(76)発明の名称 半導体装置の製造方法

(77)発明の名称 半導体装置の製造方法

(78)発明の名称 半導体装置の製造方法

(79)発明の名称 半導体装置の製造方法

(80)発明の名称 半導体装置の製造方法

(81)発明の名称 半導体装置の製造方法

(82)発明の名称 半導体装置の製造方法

(13)特許請求の範囲

[請求項1] 第1電極の半導体装置製造法は、ゲート電極を、ゲート電極上に、ゲート電極を形成する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

(14)特許請求の範囲

[請求項1] 第1電極の半導体装置製造法は、ゲート電極を、ゲート電極上に、ゲート電極を形成する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

(15)

特許年12-232075

〔0009〕次に図8(B)に示すように、コンタクトホール430内にコンタクト層432を埋め込み、このコンタクト層432の上に配線層431を形成する。

[illegible]

つてオケネット組を形成していた。

【0011】もしながら、液面は逆オプティカル
な所が、 $18\mu\text{m}$ 以下になってくると、ゲート電極周
上の電圧がゲート電極の値には比べて低くなり、シリ
コン基板上に對して荷電方向からイオン注入を行うと、
図のゲート電極の影に覆われて不純物イオンが注入されな
い。ゲート電極が覆われていない、こうなるとイオン注

人肌は、動作中にサニタリ系で空気が吸われる部分により形成されなくなる。つまり、ボケット層を形成することができなくなる。一方、金イオン注入系は形成後に、イオン注入層を溶解する時間を長くして、ボケット層を形成する方法を用いると、他のイオン注入層（例

てしまふ。デバール特性を劣化させてしまう。

【0012】本発明の目的は、恒デバール効果がより顕著となるデバールフィルム10、18、μm以下の世代の半導体装置において、デバール膜を露光に形成できる半導体装置の製造方法を提供することにある。

【00131】
 【課題を解決するための手段】上述の目的を達成するため、本発明の半導体装置の製造方法では、第1導電型の半導体基板表面に、ゲート絶縁膜およびゲート電極層上に位置するゲート電極を導電層に形成する。次に第1導電型の不純物を、ゲート電極層をマスクとして、ゲート電極層の両端部を形成する。

板表面に対して垂直に導入することにより、半導体基板上の所定位置に新しい導電型のイオン注入領域を形成する。このイオン注入領域をゲート電極に対応するチャネル領域の直下に位置させることにより、高抵抗化する。その後、ゲート電極をマスクにして、第2導電

際の不純物を半導体基板表面より所定の深さに入射することにより、第2導電型のイオン注入型を形成する。それからこれを活性化させて第2導電型のソースおよびドレインを形成する。

[0014]

半導体装置の形態 図1および図2は本発明の半導体

【0015】本発明の第1の実施形態を用いて、NMOSFET (N-type Metal Oxide Semiconductor Field Effect Transistor) の製造方法について説明する。

【0016】まず、図1(A)に示すように、P型シリコン基板110上に酸化膜、ポリシリコン膜、タンダニ

テンソリサード関および置換を順に形成する。そしてこれらの4層の順をバックワードしてテータ層は層1、1、ポリゴン112とテンソリサードサード13からなるテータ層150、および置換層バックワードを選択的に形成する。

パターン114およびゲート電圧150をマスキにして、P型シリコン基板110の表面に対して図1(A)の矢印で示すように垂直にP型の不純物イオンを注入して、P型イオン注入領域120を形成する。図1(A)の工程のパラメータおよび条件は以下の通りである。ま

入する不純物イオンの濃度: 10^{-2} 、イオン注入エネルギー: 300keV 、P型シリコン基板: 100 の表面からの注入深さ: $0.07 \sim 0.10\mu\text{m}$ 、注入量: $10^{13}/\text{cm}^2$ 。
[0018] 次に図1(B)に示すように、P型イオン注入機を120を動作時にチャネル基板下で電界が50V/cm以下となる部分にまで熱点低減させるため、 $800 \sim 850^\circ\text{C}$ で $60 \sim 90$

分、熱処理を行う。この熱処理によって、P型オゾン入領域120は並置されることにより活性化されてホトソド120となる。

面に対して図1 (C) の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入層144を形成する。図1 (C) の工程のパラメータおよび実行は以下の通りである。注入する不純物イオンの種類: As⁺、イオン注入エネルギー: 60keV、P型シリコン

基板の表面からの注入深さ: $\approx 0.04 - 0.07 \mu\text{m}$, ドーズ量: $\approx 2 \times 10^{13} - 5 \times 10^{13} / \text{cm}^2$.

【0021】そして、P型シリコン基板10中に、ダイヤモンドスレーザ14および窒化炭素ターゲット0をマスキングして、P型シリコン基板10の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域123を形成する。図2(A)の工程のダメージ

オートおよび乗用車は以下の通りである。注入する材料は、オレフィンの種類： A_5 、イオン注入エナルジー：約50keV、 P 型シリコン基板： 1×10 の表面からの注入深さ：約0.1 μm 、ドーズ： $約5 \times 10^{15}/cm^2$ を示す。

【0022】次に図2（B）に示すように、約1000℃において約10秒熱処理を行う。この熱処理によって、N層

イオン注入量123は活性化されてゾーン・ドレイン
層123となり、N型イオン注入量144は活性化

されてLDD層144aとなる。次に、全面にSiO₂などの絶縁性の層間膜115を堆積させ、それらソース・ドレイン層123aの上に、フオトリソグراف

一工機とエッチング工程を行って、コンタクトホール30を開孔させる。
100231 次に図2 (C) に示すように、コンタクト層132を形成するため電気を全面に印加させ、エッチバツまたはCMP (Chemical Mechanical Polishing) を行ってコンタクト層132を露出させる。

【0024】なお、本発明は、例えば、図1に示すように、132を形成する。最後に、図13に示すように、132を埋め込んで、オトリソラフター工程とエッチング工程とを繰り返す。なお、コンタクト層132を保護層として用いることも可能である。

サウスベレーサ141は図2(B)におけるソースドレイン層123aの上部にコンタクトホール130aを開くとき、フォトリソグラフィ工程におけるレジソウ合わせのずれに起因して、コンタクトホールの開口部がずれた場合に生じる。ゲート電圧1.50Vの露出による欠陥がある。もしも、ゲート電圧1.50Vが露出される

題で図2(B)に示したコンタクトホール130に図1(C)に示したコンタクト132を形成すると、このコンタクト132と、露出したゲート電極150が電気的に接続し、ショートしてしまう。したがって、ゲート電極150上に露出したゲートコンタクト140を、おおよそ

【0025】上述した通り、本発明の第1の実施形態は、図1の構成にサードオクススベレーサー141を配しておくことによって上記のすれに対する問題を解消できる。

るP型イオン注入部を120は、ゾーン・ドレイン部23を形成する前に発生して熱化膜するため、ゾーン・ドレイン部123の形成工程に影響を与えずに、マスクパターンとなるP型イオン注入部を120の位置条件を任意に設定できる。つまり、P型イオン注入部を120をイオン注入により形成するのではなく、120を

空を占め、広がる部分に形成しなくてはならない。したがってP型の不純物のイオンをP型シリコン基板110の表面に對して表面に注入することが可能になるので、P型の不純物のイオンをゲート電極150によって遮られることなく注入できる。したがってゲート電極150の長さ

が強く、降り合うゲート電圧150V以上の間隔が狭い場合でも、ゲート120msを動作時にチャネル領域で空乏層が広がる部分に形成することができ、これにより十分な超チャネル効果の抑制を行うことが可能になる。

20%形成の後に形成されるため、スケルトン増120%形成工程に影響を与えることなく、形成することができ

る。これは、ボックストロム120となるP型オゾン領域120はLDD図144となるイオン注入領域44を形成する前に形成して熱処理することができ

らである。

〔0027〕本発明の第1の実施の形態ではNMOETを例にして説明したが、これに限られたものではなく、PMOSFET (P-type Metal Oxide Semiconductor Field Effect Transistor) を製造する場合にも適用される。

コ基板に1.0の代わりにN型シリコン基板を用い、さらに図1 (A) の工程においては、P型オゾン処理液12.0添加のためのP型の不純物オゾン注入の代わりにN型の不純物オゾンを入力して、N型オゾン処理液を形成する。図1 (A) の工程のパラメータおよび

は以下の通りである。注入する不純物イオンの種類
*またはA⁵⁺、イオン注入エネルギー：P⁺の場合
0keV、A⁵⁺の場合は約50keV、N型シリコン基板
面からの注入深さ：0.07~0.10μm、ドーピング
[0.028] A⁵⁺に図1(C)の工程で注入した

イオン注入領域は、4-4形成のためのイオン注入の間にP型の不純物イオンを注入して、P型イオン注入層を形成する。図1(C)の工程のパラメータおよび値は以下の通りである。注入する不純物イオンの種類 F_2^+ 、イオン注入エネルギー：約20~30keV、N型

ニシ基盤の表面からの注入深さを約0.04~0.07 μm と測定: $3.9 \times 10^{13} \sim 5 \times 10^{13} / \text{cm}^2$ 。
[0029] そして図2 (A) の工程においては、イオン注入領域123形成のためのオゾン注入の後にP型の半導体オゾン注入し、P型オゾン層を形成する。図2 (A) の工程のフローチャートおよび

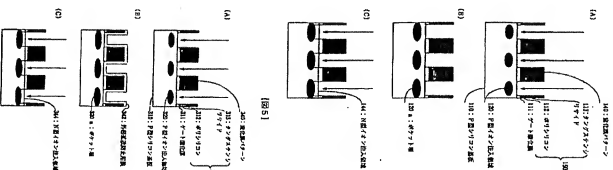
は以下の通りである。注入する不純物イオンの種類
 F_2^+ 、イオン注入エネルギー：約40keV、N型シリ
 基板の表面からの注入深さ：約0.15 μ m、ドーズ値
 $\times 10^{15}/\text{cm}^2$ 。
 【0030】その他の手順はNMOSFETの場合

【0031】本発明例の半導体装置の製造方法は、
 体基板の一部に半導体基板と異なる導電層の基板を
 し、この基板の表面上に半導体装置を形成する場合
 適用することができ、
 【0032】また本発明例ではP型シリコン基板に

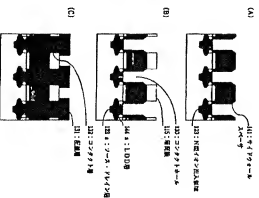
上の酸化膜を、クーラ電極15.0Vや酸化電圧クー
0と同様にクーニツして、クーラ酸化膜111
成しているが、この方法に限られるのではなく、
シリコン基板110上の酸化膜のクーニツによ
一酸化に膜111の形成は、ポラリティ120を
極大にクーニツして、酸化膜111を形成する

【0038】 あいはいDDE図144の代わりに
クマシシカン図を形成してもよい。このとき、平

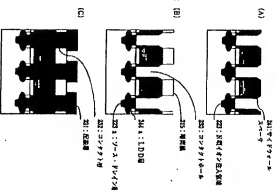
[図1]



[図2]



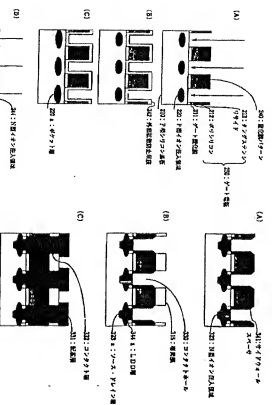
[図3]



[図4]



[図5]



[図6]

